

CLIPPEDIMAGE= JP408203935A
PAT-NO: JP408203935A
DOCUMENT-IDENTIFIER: JP 08203935 A
TITLE: CERAMIC SEMICONDUCTOR DEVICE AND MANUFACTURE
THEREOF

PUBN-DATE: August 9, 1996

INVENTOR-INFORMATION:

NAME

OMORI, EIJI

TANDA, TETSUO

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP07013125

APPL-DATE: January 30, 1995

INT-CL_(IPC): H01L021/52

ABSTRACT:

PURPOSE: To prevent the generation of a crack in a semiconductor element or a ceramic package when the element is bonded to the package with a bonding layer and the bonding layer is cured by a method wherein a plurality of bubble-like voids are provided in the bonding layer between the element and the package.

CONSTITUTION: A ceramic semiconductor device is provided with a prescribed semiconductor element 1, a ceramic package 3 for housing the element 1, a multitude of internal electrodes arranged in the interior of the package 3 and a plurality of outer leads 5, which are connected electrically with the internal electrodes and are provided under the lower surface of the package 3 into a terminal shape, and moreover, is provided with metal wires 4, which

connect electrically the element 1 with the internal electrodes, and a metal cap 6 for sealing the element 1 which is mounted in the interior of the package

3. A plurality of bubble-like voids 9 are provided in a bonding layer between the element 1 and the package 3. For example, as a paste material 2 constituting the bonding layer, a plate material containing a filler (Au, Al or the like) is used.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-203935

(43)公開日 平成8年(1996)8月9日

(51)Int.Cl.⁹
H 0 1 L 21/52

識別記号

庁内整理番号

F I

技術表示箇所

E

審査請求 有 請求項の数4 O L (全 6 頁)

(21)出願番号 特願平7-13125

(22)出願日 平成7年(1995)1月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大森 英治

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 反田 哲夫

東京都港区芝五丁目7番1号 日本電気株式会社内

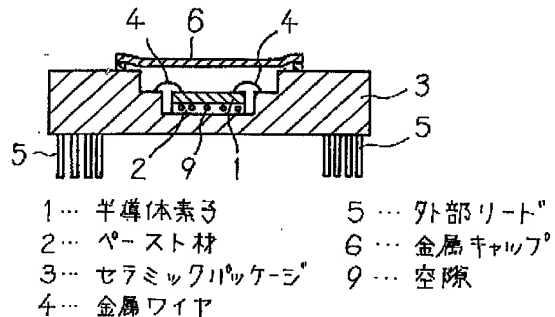
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 セラミック半導体装置およびその製造方法

(57)【要約】

【目的】半導体素子接着硬化時のクラックを防止するセラミック半導体装置およびその製造方法を提供する。

【構成】本発明は、外部リード5が格子状に配列されたセラミックパッケージ3に、ペースト材2を用いて半導体素子1を接着し、金属ワイヤ4により半導体素子1と内部電極を電氣的に接続して、外部リード5を内部電極に対して電氣的に接続し、金属キャップ6により半導体素子1をセラミックパッケージ3の内部に密閉する構造によりセラミック半導体装置を形成している。ペースト材2としてAgペーストを使用した半導体装置の一実施例であり、ペースト材2の内部に複数個の空隙9が設けられている。この空隙9を設けることによりペースト材2が変形し易くなり、硬化時における半導体素子1の反りが緩和され、半導体素子1のクラックおよび剥離を防止することができる。



【特許請求の範囲】

【請求項1】 所定の半導体素子と、当該半導体素子を収容するセラミックパッケージと、当該セラミックパッケージの内部に多数配列される内部電極と、当該内部電極と電気的に接続されて前記セラミックパッケージに端子状に設けられている複数の外部リードと、前記半導体素子と前記内部電極とを電気的に接続する金属ワイヤと、前記セラミックパッケージの内部に搭載される前記半導体素子を密閉する金属キャップと、を少なくとも備えて構成され、前記半導体素子と前記セラミックパッケージとの間の接着層に、複数の気泡状の空隙を設けていることを特徴とするセラミック半導体装置。

【請求項2】 所定の半導体素子と、当該半導体素子を収容するセラミックパッケージと、当該セラミックパッケージの内部に多数配列される内部電極と、当該内部電極と電気的に接続されて前記セラミックパッケージの向かい合う2辺に対して設けられている外部リードと、前記半導体素子と前記内部電極とを電気的に接続する金属ワイヤと、前記セラミックパッケージの内部に搭載される前記半導体素子を密閉する金属キャップと、を少なくとも備えるフラット型半導体装置として構成され、前記半導体素子と前記セラミックパッケージとの間の接着層に、複数の気泡状の空隙を設けていることを特徴とするセラミック半導体装置。

【請求項3】 半導体素子とセラミックパッケージとを接着する製造工程として、ジャーに入っている無溶剤タイプのペースト材を、攪拌棒を用いて30秒乃至15分間程度攪拌する第1の工程と、当該攪拌後のペースト材を前記セラミックパッケージに塗布する第2の工程と、第2の工程において、ペースト材を塗布した前記セラミックパッケージの上に前記半導体素子を搭載する第3の工程と、前記半導体素子が搭載されたセラミックパッケージに対応して、前記ペースト材を所定の温度条件、継続時間条件および昇温レート条件を含む適切な条件下において熱硬化させることにより前記半導体素子と前記セラミックパッケージとを接着し、当該ペースト材内部に空隙を形成する第4の工程と、を少なくとも有することを特徴とするセラミック半導体装置の製造方法。

【請求項4】 半導体素子とセラミックパッケージとを接着する製造工程として、溶剤入りペースト材を前記セラミックパッケージに塗布する第1の工程と、第1の工程において、ペースト材を塗布した前記セラミックパッケージの上に前記半導体素子を搭載する第2の工程と、前記半導体素子が搭載されたセラミックパッケージに対応して、前記ペースト材を所定の温度条件、継続時間条件および昇温レート条件を含む適切な条件下において熱*

$$\delta = K \Delta \alpha \Delta T (E_a \cdot E_s \cdot L/X)^{1/2} \dots\dots\dots (1)$$

δ : 残留応力 [kg/mm²]

K : 定数

$\Delta \alpha$: 熱膨張係数差 [1/°C]

* 硬化させることにより前記半導体素子と前記セラミックパッケージとを接着し、当該ペースト材内部に空隙を形成する第3の工程と、を少なくとも有することを特徴とするセラミック半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はセラミック半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 従来のセラミック半導体装置の一例の縦断面図が図4に示される。図4に示されるように、本従来例は、半導体素子1、ペースト材2と、セラミックパッケージ3と、金属ワイヤ4と、外部リード5と、金属キャップ6とを備えて構成されており、半導体素子1は、ペースト材2を介してセラミックパッケージ3に接着され、金属ワイヤ4により、半導体素子1と、セラミックパッケージ3内に多数配列されている内部リードとが電気的に接続されている。また、当該内部リードには外部リード5が電気的に接続され、セラミックパッケージ3には金属キャップ6が溶接されており、これにより、半導体素子1は、セラミックパッケージ3の内部に密閉された構造となっている。このような構造においては、半導体素子1にかかる残留応力が大きい場合には、半導体素子1にクラックまたは剥離が生じるという恐れがある。

【0003】 ここにおいて、半導体素子1にかかる残留応力について説明する。半導体素子1とセラミックパッケージ3とを、熱硬化型のペースト材2により接着する場合に発生する残留応力の状態が、図6(a)、(b)および(c)に示される。図6は、セラミックパッケージ3の上部に、ペースト材2を介して半導体素子1を接着した構造の部分断面図であり、ペースト材の熱硬化後における半導体素子1とセラミックパッケージ3に、残留応力101による反りが発生している状況が示されている。図6(a)は接着による硬化前の状態であり、図6(b)は硬化中の状態、図6(c)は硬化後の状態である。なお、図6(b)および(c)においては、残留応力101の作用する方向が示されている。図6(c)に示される残留応力による反りが大きい場合には、半導体素子1にはクラックまたは剥離が発生し、或はまたセラミックパッケージ3が薄型セラミックパッケージの場合には、当該セラミックパッケージ自身にクラックが発生する。

【0004】 半導体素子1にかかる上記の残留応力 δ は、下記の式(1)に示されるとおりである。

【0005】

※ ΔT : 温度差 [°C]

E_a : ペースト材の弾性率 [kg/mm²]

※50 E_s : セラミックパッケージの弾性率 [kg/mm²]

L: 半導体素子の長さ [mm]

X: 接着層の厚さ [mm]

以上の説明より、半導体素子1のクラックまたは剥離、或はまた薄型セラミックパッケージの場合におけるパッケージ自身に発生するクラックは、残留応力が大きい程発生し易いと云うことが理解される。ここにおいて、残留応力を低減させる方法としては、式(1)を参照することにより次のことが考えられる。

【0006】方法1: 半導体素子とセラミックパッケージの熱膨張係数差を低減する。

【0007】方法2: 低熱硬化型のペースト材を使用する。

【0008】方法3: 半導体素子のサイズを縮小化する。

【0009】方法4: 接着層の厚さを厚くする。
しかしながら、最近の半導体装置の動向を考慮すると、上記の方法3および方法4は、共に不適である。従って、残留応力を低減させる方法としては、上記の方法1および方法2について検討を行うことが求められる。

【0010】上記の方法1および方法2の内の、方法1の検討に基づいて提案されている半導体装置の従来例が図5に示される。本従来例は、特開昭64-80029号公報に記載されている半導体装置例であり、図5に示されるように、搭載すべき半導体素子よりも大きい面積の領域に、複数の分割されたモリブデン板7が、溶融したろう材によりセラミックパッケージ3の中央部に固定され、その周囲に内部配線用として使用する内部リード8を設けて配置するという構造を特徴としている。このように半導体素子を固着する領域に分割された大きさのモリブデン板7を用いることにより、急激な加熱によるペースト材の硬化にによって生じる残留応力が低減され、セラミックパッケージにクラックが発生することを防止することができるものとしている。

【0011】

【発明が解決しようとする課題】上述した従来のセラミック半導体装置およびその製造方法において、前述の特開昭64-80029号公報による場合には、半導体素子とセラミックパッケージとを接着する際に発生するクラックの要因となる残留応力を緩和するために、半導体素子とセラミックパッケージの熱膨張係数の中間値を有するモリブデン板を、セラミックパッケージの中央部に固定して介在させている。しかしながら、このために、半導体素子とセラミックパッケージとを接着する前段階において、予めセラミックパッケージに対してモリブデン板を接着しておく必要があり、これによる製造工程が余分に付加されるという欠点があり、更には、当該モリブデン板を使用することにより、セラミック半導体装置の1個当りの製造コストが割高になるという欠点がある。

【0012】

【課題を解決するための手段】第1の発明のセラミック半導体装置は、所定の半導体素子と、当該半導体素子を収容するセラミックパッケージと、当該セラミックパッケージの内部に多数配列される内部電極と、当該内部電極と電気的に接続されて前記セラミックパッケージに端子状に設けられている複数の外部リードと、前記半導体素子と前記内部電極とを電気的に接続する金属ワイヤと、前記セラミックパッケージの内部に搭載される前記半導体素子を密閉する金属キャップと、を少なくとも備えて構成され、前記半導体素子と前記セラミックパッケージとの間の接着層に、複数の気泡状の空隙を設けていることを特徴としている。

【0013】また第2の発明のセラミック半導体装置は、所定の半導体素子と、当該半導体素子を収容するセラミックパッケージと、当該セラミックパッケージの内部に多数配列される内部電極と、当該内部電極と電気的に接続されて前記セラミックパッケージの向かい合う2辺に対として設けられている外部リードと、前記半導体素子と前記内部電極とを電気的に接続する金属ワイヤと、前記セラミックパッケージの内部に搭載される前記半導体素子を密閉する金属キャップと、を少なくとも備えるフラット型半導体装置として構成され、前記半導体素子と前記セラミックパッケージとの間の接着層に、複数の気泡状の空隙を設けていることを特徴としている。

【0014】更に、第1の発明のセラミック半導体装置の製造方法は、半導体素子とセラミックパッケージとを接着する製造工程として、ジャーに入っている無溶剤タイプのペースト材を、攪拌棒を用いて30秒乃至15分間程度攪拌する第1の工程と、当該攪拌後のペースト材を前記セラミックパッケージに塗布する第2の工程と、第2の工程において、ペースト材を塗布した前記セラミックパッケージの上に前記半導体素子を搭載する第3の工程と、前記半導体素子が搭載されたセラミックパッケージに対応して、前記ペースト材を所定の温度条件、継続時間条件および昇温レート条件を含む適切な条件下において熱硬化させることにより前記半導体素子と前記セラミックパッケージとを接着し、当該ペースト材内部に空隙を形成する第4の工程と、を少なくとも有することを特徴としている。

【0015】また、第2の発明のセラミック半導体装置の製造方法は、半導体素子とセラミックパッケージとを接着する製造工程として、溶剤入りペースト材を前記セラミックパッケージに塗布する第1の工程と、第1の工程において、ペースト材を塗布した前記セラミックパッケージの上に前記半導体素子を搭載する第2の工程と、前記半導体素子が搭載されたセラミックパッケージに対応して、前記ペースト材を所定の温度条件、継続時間条件および昇温レート条件を含む適切な条件下において熱硬化させることにより前記半導体素子と前記セラミック

パッケージとを接着し、当該ペースト材内部に空隙を形成する第3の工程と、を少なくとも有することを特徴としている。

【0016】

【実施例】次に、本発明について図面を参照して説明する。

【0017】図1は本発明のセラミック半導体装置の第1の実施例を示す縦断面図である。図1に示されるように、本実施例は、半導体素子1と、ペースト材2と、セラミックパッケージ3と、金属ワイヤ4と、外部リード5と、金属キャップ6と、空隙9とを備えて構成されており、ペースト材2としては、フィラー（AgまたはA1等）を含んだペースト材を用いて、半導体素子1とセラミックパッケージ3とを接着させ、且つ硬化させたペースト材2の内部に、特に空隙9を設けたことを特徴としている。

【0018】図1に示されるように、本実施例においては、外部リード5が格子状に配列されたセラミックパッケージ3に対して、ペースト材2を用いて半導体素子1が接着され、金属ワイヤ4により半導体素子1と内部電極が電気的に接続されており、なお且つセラミックパッケージ3に対して端子状に設けられている外部リード5も内部電極に対して電気的に接続されて、金属キャップ6により半導体素子1がセラミックパッケージ3の内部に密閉された構造としてセラミック半導体装置が形成されている。本実施例は、ペースト材2として、Agペーストを使用した半導体装置の一例を示しており、図1に見られるように、ペースト材2の内部に複数の空隙9が設けられている。この空隙9を設けることによりペースト材2が変形し易くなり、これにより硬化時における半導体素子1の反りが緩和され、半導体素子1のクラックおよび剥離を防止することが可能となる。

【0019】この空隙9を形成する方法としては、本実施例においては下記に示す方法が採られている。ペースト材として無溶剤タイプのペースト材、例えばAgペーストなどを用いる場合には、ジャーに入っているペースト材2を、ガラス棒等による攪拌棒を用いて30秒乃至15分程度攪拌することによりペースト材2に空気を十分含ませて、その後にセラミックパッケージ3に塗布する。そして、その上に半導体素子1を載せて、ペースト材2を適切な条件（例えば、Agペーストの場合には、150°C、1.5時間、昇温レート3〜30°C/分の条件下）において熱硬化させることにより、半導体素子1とセラミックパッケージ3とを接着し、且つペースト材2の内部に空隙9を形成する方法である。

【0020】次に、本発明の第2の実施例について説明する。図2は本実施例を示す縦断面図である。図2に示されるように、本実施例は、第1の実施例の場合と同様に、半導体素子1と、ペースト材2と、セラミックパッケージ3と、金属ワイヤ4と、外部リード5と、金属キ

ャップ6と、空隙9とを備えて構成されている。本実施例は、ペースト材2の一例としてA1ペーストを使用した場合のセラミック半導体装置例であり、半導体素子1とセラミックパッケージ3とをペースト材2を介して接着し、金属ワイヤ4を用いて外部リード5と半導体素子1とを電気的に接続して、金属キャップ6を用いて半導体素子1をセラミックパッケージ3の内部に密閉した構造となっており、セラミックパッケージ3の向かい合う2辺に外部リード5が設けられている。そして、ペースト材2の内部には、第1の実施例の場合と同様に複数の空隙9が形成されている。この空隙9を設けることによりペースト材2が変形し易くなり、これにより硬化時における半導体素子1の反りが緩和され、半導体素子1のクラックおよび剥離を防止することができる。

【0021】本実施例に対応して、空隙9を形成する方法としては下記の方法が採られている。溶剤入りのペースト材（例えば、本実施例のようにA1ペースト等）を用いる場合には、当該溶剤除去の手順を省略し、有機成分をペースト材2の内部に含有させたままの状態、適切な条件（A1ペーストの場合には、約350°C、所定時間、昇温レート3〜30°C/分の条件下）において熱硬化させることにより、半導体素子1とセラミックパッケージ3とを接着し、且つペースト材2の内部に空隙9を形成する方法である。ここにおいて、セラミック薄型パッケージ（半導体素子サイズ：縦×横×厚さ＝8.72mm×5.50mm×0.300mm、パッケージサイズ：縦×横×厚さ＝20.3mm×11.1mm×0.25mm、接着層厚＝20〜40μm）の応力解析結果によると、接着層に空隙がない場合における残留応力が40.6kg/mm²であるのに対比して、本実施例においては、接着層に体積比55%の空隙を設けた場合における残留応力は28.4kg/mm²であり、約30%の残留応力の低減が実現されている。

【0022】以上、本発明によるセラミック半導体装置の第1および第2の実施例について、その構造ならびに製造手順の要旨について説明したが、本発明により実現される効果は、セラミックパッケージ3およびペースト材2の種類ならびに組合わせには関係なく有効である。次に、半導体素子1をペースト材2を介してセラミックパッケージ3に接着した構造を有するセラミック半導体装置全般についての本発明による効果の要点について説明する。

【0023】図3は半導体素子1とセラミックパッケージ3の接着部の部分拡大断面図である。本発明によるセラミック半導体装置においては、図3に示されるように、当該接着部には、半導体素子1とセラミックパッケージ3を接着しているペースト材2の内部に、気泡状の複数の空隙9（ペースト材に対して体積比10〜65%を示める程度）の空隙9が、ランダムな位置関係において設けられている。このように接着層に設けられている空隙に

7

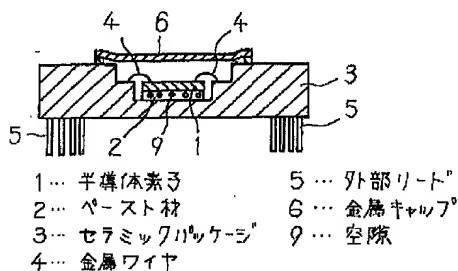
より、半導体素子とセラミックパッケージとの間の熱膨張係数の差に起因する残留応力が緩和されるために、当該残留応力によるシリコンチップまたはパッケージのクラックが発生しない半導体装置の提供を可能にする。また、シリコンチップとセラミックパッケージとの間に生じる残留応力を緩和させる手段として、モリブデン板等の部材を使用する従来技術に比較して、本発明においては、モリブデン板等の部材を用いることを必要とせず、また、当該モリブデン板をパッケージに固着させる工程も不必要となり、これにより、従来よりも短工期、低コストにて、シリコンチップまたはセラミックパッケージのクラックを防止することのできるセラミック半導体装置を実現することができる。

【0024】

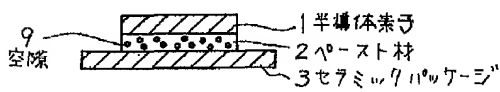
【発明の効果】以上説明したように、本発明は、半導体素子とセラミックパッケージとの間の接着層内部に複数個の空隙を設けることにより、当該半導体素子とセラミックパッケージとの間の残留応力を緩和することが可能となり、これにより、接着硬化時における半導体素子またはセラミックパッケージのクラックの発生を防止することができるとい効果がある。

【0025】また、上記のように半導体素子の接着層内部に複数個の空隙を設けることにより、残留応力が大きいと予想される大型チップ搭載半導体装置における半導体素子のクラックおよび剥離の防止、ならびに薄型パッケージを使用した半導体装置におけるパッケージクラックの防止をも可能とすることができるという効果がある。

【図1】



【図3】



8

【0026】そして、更に、従来例に見られるようにモリブデン板を使用することが不必要であり、これにより、モリブデン板という余分な部材の使用が排除されるとともに、当該モリブデン板をパッケージに取付ける工程も不要となり、従来例よりも短工期、低コストにて、半導体素子またはパッケージのクラックの発生しない半導体装置を実現することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す縦断面図である。

【図2】本発明の第2の実施例を示す縦断面図である。

【図3】本発明における半導体素子とセラミックパッケージの接着部を示す部分縦断面図である。

【図4】従来例を示す縦断面図である。

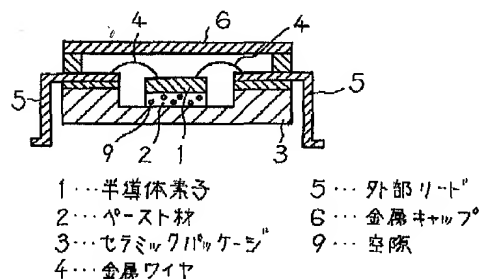
【図5】他の従来例のセラミックパッケージを示す平面図である。

【図6】ペースト材硬化時における半導体素子接着部の部分縦断面図である。

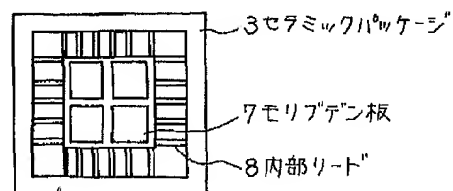
【符号の説明】

- 1 半導体素子
- 2 ペースト材
- 3 セラミックパッケージ
- 4 金属ワイヤ
- 5 外部リード
- 6 金属キャップ
- 7 モリブデン板
- 8 内部リード
- 9 空隙

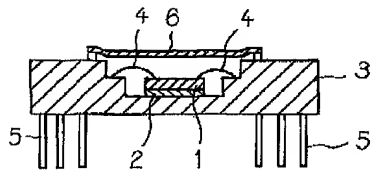
【図2】



【図5】

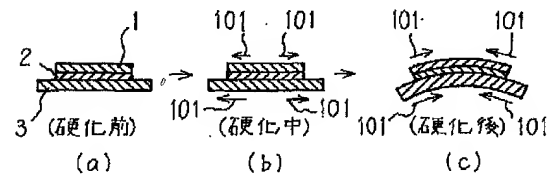


【図4】



- 1…半導体素子 4…金属ワイヤ
2…ペースト材 5…外部リード
3…セラミックパッケージ 6…金属キャップ

【図6】



- 1…半導体素子 3…セラミックパッケージ
2…ペースト材

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed description]

[0001]

[Field of the Invention] this invention relates to ceramic-semiconductor equipment and its manufacture technique.

[0002]

[Prior art] Drawing of longitudinal section of an example of the conventional ceramic-semiconductor equipment is shown in drawing 4. As shown in drawing 4, this conventional example is equipped with a semiconductor device 1, the based material 2, the ceramic package 3, the metal wire 4, the external lead 5, and the metal cap 6, and is constituted, a semiconductor device 1 is pasted up on a ceramic package 3 through the paste material 2, and the semiconductor device 1 and the internal lead arranged in the ceramic package 3 are electrically connected by the metal wire 4. [much] Moreover, the external lead 5 is electrically connected to the concerned internal lead, the metal cap 6 is welded to the ceramic package 3, and, thereby, the semiconductor device 1 has the structure sealed inside the ceramic package 3. In such structure, when such residual stress is large, **** that a crack or sublation arises is in a semiconductor device 1 at a semiconductor device 1.

[0003] Such residual stress is explained to a semiconductor device 1 in here. The status of residual stress generate a semiconductor device 1 and the ceramic package 3 when pasting up by the heat-hardened type paste material 2 is shown in drawing 6 (a), (b), and (c). Drawing 6 is the fragmentary sectional view of structure which pasted up the semiconductor device 1 on the upper part of a ceramic package 3 through the paste material 2, and the status which the curvature by residual stress 101 has generated in the semiconductor device 1 and the ceramic package 3 after heat curing of paste material is shown. Drawing 6 (a) is in the status before hardening by adhesion, drawing 6 (b) is in the status under hardening, and drawing 6 (c) is in the status after hardening. In addition, in drawing 6 (b) and (c), the orientation where residual stress 101 acts is shown. When the curvature by the residual stress shown in drawing 6 (c) is large, a crack or sublation occurs in a semiconductor device 1, or when a ceramic package 3 is a thin shape ceramic package again, a crack occurs in the concerned ceramic package itself.

[0004] if such above-mentioned residual-stress delta is shown in the following formula (1) by the semiconductor device 1, it will get and it will appear in it

[0005]

$\text{delta} = K \cdot \alpha \cdot T^{1/2} (E_a, E_s, \text{ and } L/X) \dots\dots\dots (1)$

delta: Residual-stress [kg/mm²]

K: Constant α : coefficient-of-thermal-expansion difference [1/degreeC]

T : Temperature-gradient [$^{\circ}$ C]

E_a : elastic modulus of paste material [kg/mm²]

E_s : elastic modulus of a ceramic package [kg/mm²]

L: The length of a semiconductor device [mm]

X: Thickness of a glue line [mm]

if it is easy to generate the crack of a semiconductor device 1, sublation, or the crack again generated in the package in the case of a thin shape ceramic package itself from the above explanation so that residual stress is large -- **** -- things are understood In here, the following thing can be considered by referring to a formula (1) as technique of reducing residual stress.

[0006] Technique 1: Reduce the coefficient-of-thermal-expansion difference of a semiconductor device and a ceramic package.

[0007] Technique 2: Use low-fever hardening type paste material.

[0008] Technique 3: Reduction-ize the size of a semiconductor device.

[0009] Technique 4: Thicken thickness of a glue line.

However, if the trend of the latest semiconductor device is taken into consideration, both the above-mentioned technique 3 and technique 4 are unsuitable. Therefore, it is asked for examining the above-mentioned technique 1 and the above-mentioned technique 2 as technique of reducing residual stress.

[0010] The conventional example of the semiconductor device proposed based on the study of technique 1 of the above-mentioned technique 1 and the technique 2 is shown in drawing 5. The molybdenum plate 7 with which the plurality was divided into the field of area larger than the semiconductor device which should be carried as it is the example of a semiconductor device indicated by the Provisional-Publication-No. 80029 [64 to] official report and it is shown in drawing 5 is fixed to the center section of a ceramic package 3 by the low material which carried out melting, and this conventional example is characterized by the structure of establishing and arranging the internal lead 8 used for the periphery as an object for an internal

wiring. Thus, by using the molybdenum plate 7 of a size divided into the field which fixes a semiconductor device, the residual stress which looks like [hardening of the paste material by rapid heating], and is therefore produced shall be reduced, and it shall have prevented that a crack occurs in a ceramic package.

[0011]

[Object of the Invention] When based on the above-mentioned Provisional-Publication-No. 80029 [64 to] official report, in order to ease the residual stress leading to the crack generated in case a semiconductor device and a ceramic package are pasted up, the molybdenum plate which has the mean value of the coefficient of thermal expansion of a semiconductor device and a ceramic package is made to be fixed and placed between the center sections of a ceramic package in the conventional ceramic-semiconductor equipment mentioned above and its manufacture technique. However, for this reason, in the preceding paragraph story which pastes up a semiconductor device and a ceramic package, it is necessary to paste up a molybdenum plate beforehand to a ceramic package, there is a fault that the manufacturing process by this is added too much, and there is a fault that the manufacturing cost per piece of ceramic-semiconductor equipment becomes comparatively high-priced, by using the concerned molybdenum plate further.

[0012]

[The means for solving a technical problem] A semiconductor device predetermined in the 1st ceramic-semiconductor equipment of invention, and the ceramic package which holds the concerned semiconductor device, Two or more external leads which are electrically connected with the internal electrode arranged inside the concerned ceramic package, and the concerned internal electrode, and are formed in the aforementioned ceramic package in the shape of a terminal, [many] The metal wire which connects the aforementioned semiconductor device and the aforementioned internal electrode electrically, It has at least the metal cap who seals the aforementioned semiconductor device carried in the interior of the aforementioned ceramic package, is constituted, and is characterized by having prepared the void of the shape of two or more foam in the glue line between the aforementioned semiconductor device and the aforementioned ceramic package.

[0013] Moreover, a semiconductor device predetermined in the 2nd ceramic-semiconductor equipment of invention and the ceramic package which holds the concerned semiconductor device, The external lead formed in two sides by which it connects with the internal electrode arranged and the concerned internal electrode electrically, and the aforementioned ceramic package faces the interior of the concerned ceramic package as a pair, [many] The metal wire which connects the aforementioned semiconductor device and the aforementioned internal electrode electrically, With the metal cap who seals the aforementioned semiconductor device carried in the interior of the aforementioned ceramic package ** -- it is characterized by being constituted and having prepared the void of the shape of two or more foam in the glue line between the aforementioned semiconductor device and the aforementioned ceramic package as a flat type semiconductor device which it has as it is few

[0014] Furthermore, the manufacture technique of the 1st ceramic-semiconductor equipment invention As a manufacturing process which pastes up a semiconductor device and a ceramic package, a stirring rod is used for the non-solvent type paste material included in the jar. 30 seconds or the 1st process which carries out grade stirring for 15 minutes, In the 2nd process which applies the paste material after the concerned stirring to the aforementioned ceramic package, and the 2nd process The 3rd process which carries the aforementioned semiconductor device on the aforementioned ceramic package which applied paste material, It corresponds to the ceramic package in which the aforementioned semiconductor device was carried. the aforementioned paste material Predetermined temperature conditions, By making it heat-harden under the suitable condition containing duration conditions and temperature-up rate conditions, the aforementioned semiconductor device and the aforementioned ceramic package are pasted up, and it is characterized by having at least the 4th process which forms a void in the concerned interior of paste material.

[0015] Moreover, the manufacture technique of the 2nd ceramic-semiconductor equipment invention In the 1st process which applies the paste material containing a solvent to the aforementioned ceramic package as a manufacturing process which pastes up a semiconductor device and a ceramic package, and the 1st process The 2nd process which carries the aforementioned semiconductor device on the aforementioned ceramic package which applied paste material, It corresponds to the ceramic package in which the aforementioned semiconductor device was carried. the aforementioned paste material Predetermined temperature conditions, By making it heat-harden under the suitable condition containing duration conditions and temperature-up rate conditions, the aforementioned semiconductor device and the aforementioned ceramic package are pasted up, and it is characterized by having at least the 3rd process which forms a void in the concerned interior of paste material.

[0016]

[Example] Next, this invention is explained with reference to a drawing.

[0017] Drawing 1 is drawing of longitudinal section showing the 1st example of the ceramic-semiconductor equipment of this invention. As shown in drawing 1, this example A semiconductor device 1 and the paste material 2, It has a ceramic package 3, the metal wire 4, the external lead 5, the metal cap 6, and the void 9, and is constituted. as paste material 2 It is characterized by forming especially the void 9 in the interior of the paste material 2 which pastes up and stiffened the semiconductor device 1 and the ceramic package 3 using the paste material containing fillers (Ag or aluminum).

[0018] As shown in drawing 1, it sets to this example. As opposed to the ceramic package 3 by which the external lead 5 was arranged in the shape of a grid A semiconductor device 1 pastes up using the paste material 2, and the semiconductor device 1 and the internal electrode are electrically connected by the metal wire 4. in addition -- and the external lead 5 established in the shape of a terminal to the ceramic package 3 is also electrically connected to an internal electrode, and ceramic-semiconductor equipment is formed as structure where the semiconductor device 1 was sealed inside the ceramic package 3 with the metal cap 6

Two or more voids 9 are formed in the interior of the paste material 2 so that this example may show an example of the semiconductor device which used Ag paste and may be looked at by drawing 1 as paste material 2. By forming this void 9, it becomes easy to transform the paste material 2, the curvature of the semiconductor device 1 at the time of hardening is eased by this, and it is enabled to prevent the crack of a semiconductor device 1, and sublation.

[0019] The technique shown below in this example as the technique of forming this void 9 is taken. In using as paste material, non-solvent type paste material, for example, Ag paste etc., etc., using the stirring rod according the paste material 2 included in the jar to a glass rod etc., 30 seconds or by stirring about 15 minutes, air is enough included in the paste material 2, and it applies to a ceramic package 3 after that. And it is the technique of carrying a semiconductor device 1 on it, and pasting up a semiconductor device 1 and the ceramic package 3 by making the paste material 2 heat-harden in suitable conditions (for example, the case of Ag paste under the condition for 150 degreeC, 1.5 hours, and temperature-up rate C[of 3-30 degrees]/), and forming a void 9 in the interior of the paste material 2.

[0020] Next, the 2nd example of this invention is explained. Drawing 2 is drawing of longitudinal section showing this example. As shown in drawing 2, this example is equipped with a semiconductor device 1, the paste material 2, the ceramic package 3, the metal wire 4, the external lead 5, the metal cap 6, and the void 9 like the case of the 1st example, and is constituted. this example is an example of ceramic-semiconductor equipment at the time of using aluminum paste as an example of the paste material 2. Paste up a semiconductor device 1 and the ceramic package 3 through the paste material 2, and the external lead 5 and the semiconductor device 1 are electrically connected using the metal wire 4. It has the structure which sealed the semiconductor device 1 inside the ceramic package 3 using the metal cap 6, and the external lead 5 is formed in two sides which a ceramic package 3 faces. And two or more voids 9 are formed in the interior of the paste material 2 like the case of the 1st example. By forming this void 9, it becomes easy to transform the paste material 2, the curvature of the semiconductor device 1 at the time of hardening is eased by this, and the crack of a semiconductor device 1 and sublation can be prevented.

[0021] Corresponding to this example, the following technique is taken as the technique of forming a void 9. In using the paste material containing a solvent (an aluminum paste like [For example,] this example etc.) Conditions suitable in the status omitting the procedure of the concerned solvent elimination and having been allowed to make the interior of the paste material 2 contain an organic component] (in aluminum paste) It is the technique of pasting up a semiconductor device 1 and the ceramic package 3, and forming a void 9 in the interior of the paste material 2 by making it heat-harden under about 350 degreeC, predetermined time, and the condition for temperature-up rate C[of 3-30 degrees]/. here -- setting -- a ceramic thin shape package (semiconductor device size: length x horizontal x thickness = 8.72mmx5.50mmx -- 0.300mm) According to the stress-analysis result (Package Size: length x horizontal x thickness = 20.3mmx11.1mmx0.25mm and adhesion thickness = 20-40micrometer) residual stress in case there is nothing to a glue line about a void -- 40.6kg/mm2 it is -- the residual stress at the time of preparing the void of 55% of volume ratios in a glue line in this example as contrasted with a thing -- 28.4kg/mm2 it is -- the reduction of about 30% of residual stress is realized

[0022] As mentioned above, although the summary of the structure and a manufacture procedure was explained about the 1st of the ceramic-semiconductor equipment by this invention, and the 2nd example, the effect realized by this invention is effective in the modality and combination of the ceramic package 3 and the paste material 2 not related. Next, the main point of the effect by this invention about the ceramic-semiconductor equipment at large which has the structure which pasted up the semiconductor device 1 on the ceramic package 3 through the paste material 2 is explained.

[0023] Drawing 3 is the partial expanded sectional view of the jointing of a semiconductor device 1 and the ceramic package 3. In the ceramic-semiconductor equipment by this invention, as shown in drawing 3, the void [two or more / the shape of foam / (it is a ***** grade in 10 - 65% of volume ratios to paste material)] 9 is formed in the interior of the paste material 2 which has pasted up the semiconductor device 1 and the ceramic package 3 in random physical relationship at the concerned jointing. Thus, since the residual stress resulting from the difference of the coefficient of thermal expansion between a semiconductor device and a ceramic package is eased by the void prepared in the glue line, offer of the semiconductor device which the silicon chip by the concerned residual stress or the crack of a package does not generate is enabled. Moreover, as compared with the conventional technique which uses components, such as a molybdenum plate, it sets to this invention as a means to make the residual stress produced between a silicon chip and a ceramic package ease. The process which it does not need [process] to use components, such as a molybdenum plate, and makes a package fix the concerned molybdenum plate also becomes unnecessary. by this The ceramic-semiconductor equipment which can prevent the crack of a silicon chip or a ceramic package in the short time necessary for completion and a low cost conventionally is realizable.

[0024]

[Effect of the invention] As explained above, by preparing two or more voids in the interior of a glue line between a semiconductor device and a ceramic package, this invention becomes possible [easing the residual stress between the concerned semiconductor devices and ceramic packages], and, thereby, is effective in the ability to prevent occurrence of the semiconductor device at the time of adhesion hardening, or the crack of a ceramic package.

[0025] Moreover, it is effective in the ability to also enable the crack of the semiconductor device in the large-sized chip loading semiconductor device expected that residual stress is large, prevention of sublation, and prevention of the package crack in the semiconductor device which used the thin shape package by preparing two or more voids in the interior of a glue line of a semiconductor device as mentioned above.

[0026] And further, it is unnecessary to use a molybdenum plate and the process which attaches the concerned molybdenum plate in a package while use of an excessive component called a molybdenum plate is eliminated by this also becomes unnecessary so

that the conventional example may see, and it is effective in the semiconductor device which a semiconductor device or the crack of a package does not generate in the short time necessary for completion and a low cost rather than the conventional example being realizable.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim]

[Claim 1] A predetermined semiconductor device and the ceramic package which holds the concerned semiconductor device, Two or more external leads which are electrically connected with the internal electrode arranged inside the concerned ceramic package, and the concerned internal electrode, and are formed in the aforementioned ceramic package in the shape of a terminal, [many] The metal wire which connects the aforementioned semiconductor device and the aforementioned internal electrode electrically, Ceramic-semiconductor equipment characterized by having at least the metal cap who seals the aforementioned semiconductor device carried in the interior of the aforementioned ceramic package, being constituted, and having prepared the void of the shape of two or more foam in the glue line between the aforementioned semiconductor device and the aforementioned ceramic package.

[Claim 2] A predetermined semiconductor device and the ceramic package which holds the concerned semiconductor device, The external lead formed in two sides by which it connects with the internal electrode arranged and the concerned internal electrode electrically, and the aforementioned ceramic package faces the interior of the concerned ceramic package as a pair, [many] The metal wire which connects the aforementioned semiconductor device and the aforementioned internal electrode electrically, With the metal cap who seals the aforementioned semiconductor device carried in the interior of the aforementioned ceramic package ** -- the ceramic-semiconductor equipment characterized by being constituted and having prepared the void of the shape of two or more foam in the glue line between the aforementioned semiconductor device and the aforementioned ceramic package as a flat type semiconductor device which it has as it is few

[Claim 3] As a manufacturing process which pastes up a semiconductor device and a ceramic package, a stirring rod is used for the non-solvent type paste material included in the jar. 30 seconds or the 1st process which carries out grade stirring for 15 minutes, In the 2nd process which applies the paste material after the concerned stirring to the aforementioned ceramic package, and the 2nd process The 3rd process which carries the aforementioned semiconductor device on the aforementioned ceramic package which applied paste material, It corresponds to the ceramic package in which the aforementioned semiconductor device was carried. the aforementioned paste material Predetermined temperature conditions, The 4th process which pastes up the aforementioned semiconductor device and the aforementioned ceramic package, and forms a void in the concerned interior of paste material by making it heat-harden under the suitable condition containing duration conditions and temperature-up rate conditions, ** -- the manufacture technique of the ceramic-semiconductor equipment characterized by having that it is few

[Claim 4] In the 1st process which applies the paste material containing a solvent to the aforementioned ceramic package as a manufacturing process which pastes up a semiconductor device and a ceramic package, and the 1st process The 2nd process which carries the aforementioned semiconductor device on the aforementioned ceramic package which applied paste material, It corresponds to the ceramic package in which the aforementioned semiconductor device was carried. the aforementioned paste material Predetermined temperature conditions, The 3rd process which pastes up the aforementioned semiconductor device and the aforementioned ceramic package, and forms a void in the concerned interior of paste material by making it heat-harden under the suitable condition containing duration conditions and temperature-up rate conditions, ** -- the manufacture technique of the ceramic-semiconductor equipment characterized by having that it is few

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

TECHNICAL PROBLEM

[Object of the Invention] When based on the above-mentioned Provisional-Publication-No. 80029 [64 to] official report, in order to ease the residual stress leading to the crack generated in case a semiconductor device and a ceramic package are pasted up, the molybdenum plate which has the mean value of the coefficient of thermal expansion of a semiconductor device and a ceramic package is made to be fixed and placed between the center sections of a ceramic package in the conventional ceramic-semiconductor equipment mentioned above and its manufacture technique. However, for this reason, in the preceding paragraph story which pastes up a semiconductor device and a ceramic package, it is necessary to paste up a molybdenum plate beforehand to a ceramic package, there is a fault that the manufacturing process by this is added too much, and there is a fault that the manufacturing cost per piece of ceramic-semiconductor equipment becomes comparatively high-priced, by using the concerned molybdenum plate further.

[0012]

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

EFFECT OF THE INVENTION

[Effect of the invention] As explained above, by preparing two or more voids in the interior of a glue line between a semiconductor device and a ceramic package, this invention becomes possible [easing the residual stress between the concerned semiconductor devices and ceramic packages], and, thereby, is effective in the ability to prevent occurrence of the semiconductor device at the time of adhesion hardening, or the crack of a ceramic package.

[0025] Moreover, it is effective in the ability to also enable the crack of the semiconductor device in the large-sized chip loading semiconductor device expected that residual stress is large, prevention of sublation, and prevention of the package crack in the semiconductor device which used the thin shape package by preparing two or more voids in the interior of a glue line of a semiconductor device as mentioned above.

[0026] And further, it is unnecessary to use a molybdenum plate and the process which attaches the concerned molybdenum plate in a package while use of an excessive component called a molybdenum plate is eliminated by this also becomes unnecessary so that the conventional example may see, and it is effective in the semiconductor device which a semiconductor device or the crack of a package does not generate in the short time necessary for completion and a low cost rather than the conventional example being realizable.

[Translation done.]

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-203935

(43)Date of publication of application : 09.08.1996

(51)Int.Cl.

H01L 21/52

(21)Application number : 07-013125

(71)Applicant : NEC CORP

(22)Date of filing : 30.01.1995

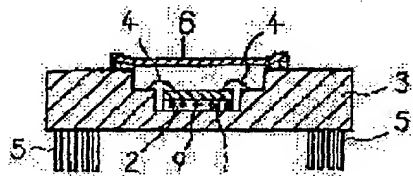
(72)Inventor : OMORI EIJI
TANDA TETSUO

(54) CERAMIC SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To prevent the generation of a crack in a semiconductor element or a ceramic package when the element is bonded to the package with a bonding layer and the bonding layer is cured by a method wherein a plurality of bubble-like voids are provided in the bonding layer between the element and the package.

CONSTITUTION: A ceramic semiconductor device is provided with a prescribed semiconductor element 1, a ceramic package 3 for housing the element 1, a multitude of internal electrodes arranged in the interior of the package 3 and a plurality of outer leads 5, which are connected electrically with the internal electrodes and are provided under the lower surface of the package 3 into a terminal shape, and moreover, is provided with metal wires 4, which connect electrically the element 1 with the internal electrodes, and a metal cap 6 for sealing the element 1 which is mounted in the interior of the package 3. A plurality of bubble-like voids 9 are provided in a bonding layer between the element 1 and the package 3. For example, as a paste material 2 constituting the bonding layer, a plate material containing a filler (Au, Al or the like) is used.



LEGAL STATUS

[Date of request for examination] 30.01.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2643895

[Date of registration] 02.05.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-203935

(43) 公開日 平成8年(1996)8月9日

(51) Int.Cl.⁹

H 0 1 L 21/52

識別記号

E

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平7-13125

(22) 出願日 平成7年(1995)1月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 大森 英治

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 反田 哲夫

東京都港区芝五丁目7番1号 日本電気株式会社内

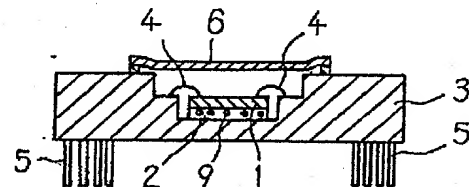
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 セラミック半導体装置およびその製造方法

(57) 【要約】

【目的】 半導体素子接着硬化時のクラックを防止するセラミック半導体装置およびその製造方法を提供する。

【構成】 本発明は、外部リード5が格子状に配列されたセラミックパッケージ3に、ペースト材2を用いて半導体素子1を接着し、金属ワイヤ4により半導体素子1と内部電極を電氣的に接続して、外部リード5を内部電極に対して電氣的に接続し、金属キャップ6により半導体素子1をセラミックパッケージ3の内部に密閉する構造によりセラミック半導体装置を形成している。ペースト材2としてA gペーストを使用した半導体装置の一実施例であり、ペースト材2の内部に複数の空隙9が設けられている。この空隙9を設けることによりペースト材2が変形し易くなり、硬化時における半導体素子1の反りが緩和され、半導体素子1のクラックおよび剥離を防止することができる。



1… 半導体素子

2… ペースト材

3… セラミックパッケージ

4… 金属ワイヤ

5… 外部リード

6… 金属キャップ

9… 空隙

【特許請求の範囲】

【請求項 1】 所定の半導体素子と、当該半導体素子を収容するセラミックパッケージと、当該セラミックパッケージの内部に多数配列される内部電極と、当該内部電極と電気的に接続されて前記セラミックパッケージに端子状に設けられている複数の外部リードと、前記半導体素子と前記内部電極とを電気的に接続する金属ワイヤと、前記セラミックパッケージの内部に搭載される前記半導体素子を密閉する金属キャップと、を少なくとも備えて構成され、前記半導体素子と前記セラミックパッケージとの間の接着層に、複数の気泡状の空隙を設けていることを特徴とするセラミック半導体装置。

【請求項 2】 所定の半導体素子と、当該半導体素子を収容するセラミックパッケージと、当該セラミックパッケージの内部に多数配列される内部電極と、当該内部電極と電気的に接続されて前記セラミックパッケージの向かい合う 2 辺に対として設けられている外部リードと、前記半導体素子と前記内部電極とを電気的に接続する金属ワイヤと、前記セラミックパッケージの内部に搭載される前記半導体素子を密閉する金属キャップと、を少なくとも備えるフラット型半導体装置として構成され、前記半導体素子と前記セラミックパッケージとの間の接着層に、複数の気泡状の空隙を設けていることを特徴とするセラミック半導体装置。

【請求項 3】 半導体素子とセラミックパッケージとを接着する製造工程として、ジャーに入っている無溶剤タイプのペースト材を、攪拌棒を用いて 30 秒乃至 15 分間程度攪拌する第 1 の工程と、当該攪拌後のペースト材を前記セラミックパッケージに塗布する第 2 の工程と、第 2 の工程において、ペースト材を塗布した前記セラミックパッケージの上に前記半導体素子を搭載する第 3 の工程と、前記半導体素子が搭載されたセラミックパッケージに対応して、前記ペースト材を所定の温度条件、継続時間条件および昇温レート条件を含む適切な条件下において熱硬化させることにより前記半導体素子と前記セラミックパッケージとを接着し、当該ペースト材内部に空隙を形成する第 4 の工程と、を少なくとも有することを特徴とするセラミック半導体装置の製造方法。

【請求項 4】 半導体素子とセラミックパッケージとを接着する製造工程として、溶剤入りペースト材を前記セラミックパッケージに塗布する第 1 の工程と、第 1 の工程において、ペースト材を塗布した前記セラミックパッケージの上に前記半導体素子を搭載する第 2 の工程と、前記半導体素子が搭載されたセラミックパッケージに対応して、前記ペースト材を所定の温度条件、継続時間条件および昇温レート条件を含む適切な条件下において熱*

*硬化させることにより前記半導体素子と前記セラミックパッケージとを接着し、当該ペースト材内部に空隙を形成する第 3 の工程と、を少なくとも有することを特徴とするセラミック半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はセラミック半導体装置およびその製造方法に関する。

【0002】

【従来の技術】従来のセラミック半導体装置の一例の縦断面図が図 4 に示される。図 4 に示されるように、本従来例は、半導体素子 1、ペースト材 2 と、セラミックパッケージ 3 と、金属ワイヤ 4 と、外部リード 5 と、金属キャップ 6 とを備えて構成されており、半導体素子 1 は、ペースト材 2 を介してセラミックパッケージ 3 に接着され、金属ワイヤ 4 により、半導体素子 1 と、セラミックパッケージ 3 内に多数配列されている内部リードとが電気的に接続されている。また、当該内部リードには外部リード 5 が電気的に接続され、セラミックパッケージ 3 には金属キャップ 6 が溶接されており、これにより、半導体素子 1 は、セラミックパッケージ 3 の内部に密閉された構造となっている。このような構造においては、半導体素子 1 にかかる残留応力が大きい場合には、半導体素子 1 にクラックまたは剥離が生じるという恐れがある。

【0003】ここにおいて、半導体素子 1 にかかる残留応力について説明する。半導体素子 1 とセラミックパッケージ 3 とを、熱硬化型のペースト材 2 により接着する場合に発生する残留応力の状態が、図 6 (a)、(b) および (c) に示される。図 6 は、セラミックパッケージ 3 の上部に、ペースト材 2 を介して半導体素子 1 を接着した構造の部分断面図であり、ペースト材の熱硬化後における半導体素子 1 とセラミックパッケージ 3 に、残留応力 101 による反りが発生している状況が示されている。図 6 (a) は接着による硬化前の状態であり、図 6 (b) は硬化中の状態、図 6 (c) は硬化後の状態である。なお、図 6 (b) および (c) においては、残留応力 101 の作用する方向が示されている。図 6 (c) に示される残留応力による反りが大きい場合には、半導体素子 1 にはクラックまたは剥離が発生し、或はまたセラミックパッケージ 3 が薄型セラミックパッケージの場合には、当該セラミックパッケージ自身にクラックが発生する。

【0004】半導体素子 1 にかかる上記の残留応力 δ は、下記の式 (1) に示されるとおりである。

【0005】

$$\delta = K \Delta \alpha \Delta T (E_a \cdot E_s \cdot L/X)^{1/2} \dots\dots\dots (1)$$

δ : 残留応力 [kg/mm²]

K : 定数

$\Delta \alpha$: 熱膨張係数差 [1/°C]

ΔT : 温度差 [°C]

E_a : ペースト材の弾性率 [kg/mm²]

50 E_s : セラミックパッケージの弾性率 [kg/mm²]

L: 半導体素子の長さ [mm]

X: 接着層の厚さ [mm]

以上の説明より、半導体素子1のクラックまたは剥離、或はまた薄型セラミックパッケージの場合におけるパッケージ自身に発生するクラックは、残留応力が大きい程発生し易いと云うことが理解される。ここにおいて、残留応力を低減させる方法としては、式(1)を参照することにより次のことが考えられる。

【0006】方法1: 半導体素子とセラミックパッケージの熱膨張係数差を低減する。

【0007】方法2: 低熱硬化型のペースト材を使用する。

【0008】方法3: 半導体素子のサイズを縮小化する。

【0009】方法4: 接着層の厚さを厚くする。

しかしながら、最近の半導体装置の動向を考慮すると、上記の方法3および方法4は、共に不適である。従って、残留応力を低減させる方法としては、上記の方法1および方法2について検討を行うことが求められる。

【0010】上記の方法1および方法2の内の、方法1の検討に基づいて提案されている半導体装置の従来例が図5に示される。本従来例は、特開昭64-80029号公報に記載されている半導体装置例であり、図5に示されるように、搭載すべき半導体素子よりも大きい面積の領域に、複数の分割されたモリブデン板7が、溶融したろう材によりセラミックパッケージ3の中央部に固定され、その周囲に内部配線用として使用する内部リード8を設けて配置するという構造を特徴としている。このように半導体素子を固着する領域に分割された大きさのモリブデン板7を用いることにより、急激な加熱によるペースト材の硬化にによって生じる残留応力が低減され、セラミックパッケージにクラックが発生することを防止することができるものとしている。

【0011】

【発明が解決しようとする課題】 上述した従来のセラミック半導体装置およびその製造方法において、前述の特開昭64-80029号公報による場合には、半導体素子とセラミックパッケージとを接着する際に発生するクラックの要因となる残留応力を緩和するために、半導体素子とセラミックパッケージの熱膨張係数の中間値を有するモリブデン板を、セラミックパッケージの中央部に固定して介在させている。しかしながら、このために、半導体素子とセラミックパッケージとを接着する前段階において、予めセラミックパッケージに対してモリブデン板を接着しておく必要があり、これによる製造工程が余分に付加されるという欠点があり、更には、当該モリブデン板を使用することにより、セラミック半導体装置の1個当りの製造コストが割高になるという欠点がある。

【0012】

【課題を解決するための手段】 第1の発明のセラミック半導体装置は、所定の半導体素子と、当該半導体素子を収容するセラミックパッケージと、当該セラミックパッケージの内部に多数配列される内部電極と、当該内部電極と電気的に接続されて前記セラミックパッケージに端子状に設けられている複数の外部リードと、前記半導体素子と前記内部電極とを電気的に接続する金属ワイヤと、前記セラミックパッケージの内部に搭載される前記半導体素子を密閉する金属キャップと、を少なくとも備えて構成され、前記半導体素子と前記セラミックパッケージとの間の接着層に、複数の気泡状の空隙を設けていることを特徴としている。

【0013】 また第2の発明のセラミック半導体装置は、所定の半導体素子と、当該半導体素子を収容するセラミックパッケージと、当該セラミックパッケージの内部に多数配列される内部電極と、当該内部電極と電気的に接続されて前記セラミックパッケージの向かい合う2辺に対として設けられている外部リードと、前記半導体素子と前記内部電極とを電気的に接続する金属ワイヤと、前記セラミックパッケージの内部に搭載される前記半導体素子を密閉する金属キャップと、を少なくとも備えるフラット型半導体装置として構成され、前記半導体素子と前記セラミックパッケージとの間の接着層に、複数の気泡状の空隙を設けていることを特徴としている。

【0014】 更に、第1の発明のセラミック半導体装置の製造方法は、半導体素子とセラミックパッケージとを接着する製造工程として、ジャーに入っている無溶剤タイプのペースト材を、攪拌棒を用いて30秒乃至15分間程度攪拌する第1の工程と、当該攪拌後のペースト材を前記セラミックパッケージに塗布する第2の工程と、第2の工程において、ペースト材を塗布した前記セラミックパッケージの上に前記半導体素子を搭載する第3の工程と、前記半導体素子が搭載されたセラミックパッケージに対応して、前記ペースト材を所定の温度条件、継続時間条件および昇温レート条件を含む適切な条件下において熱硬化させることにより前記半導体素子と前記セラミックパッケージとを接着し、当該ペースト材内部に空隙を形成する第4の工程と、を少なくとも有することを特徴としている。

【0015】 また、第2の発明のセラミック半導体装置の製造方法は、半導体素子とセラミックパッケージとを接着する製造工程として、溶剤入りペースト材を前記セラミックパッケージに塗布する第1の工程と、第1の工程において、ペースト材を塗布した前記セラミックパッケージの上に前記半導体素子を搭載する第2の工程と、前記半導体素子が搭載されたセラミックパッケージに対応して、前記ペースト材を所定の温度条件、継続時間条件および昇温レート条件を含む適切な条件下において熱硬化させることにより前記半導体素子と前記セラミック

パッケージとを接着し、当該ペースト材内部に空隙を形成する第3の工程と、を少なくとも有することを特徴としている。

【0016】

【実施例】次に、本発明について図面を参照して説明する。

【0017】図1は本発明のセラミック半導体装置の第1の実施例を示す縦断面図である。図1に示されるように、本実施例は、半導体素子1と、ペースト材2と、セラミックパッケージ3と、金属ワイヤ4と、外部リード5と、金属キャップ6と、空隙9とを備えて構成されており、ペースト材2としては、フィラー（AgまたはAl等）を含んだペースト材を用いて、半導体素子1とセラミックパッケージ3とを接着させ、且つ硬化させたペースト材2の内部に、特に空隙9を設けたことを特徴としている。

【0018】図1に示されるように、本実施例においては、外部リード5が格子状に配列されたセラミックパッケージ3に対して、ペースト材2を用いて半導体素子1が接着され、金属ワイヤ4により半導体素子1と内部電極が電気的に接続されており、なお且つセラミックパッケージ3に対して端子状に設けられている外部リード5も内部電極に対して電気的に接続されて、金属キャップ6により半導体素子1がセラミックパッケージ3の内部に密閉された構造としてセラミック半導体装置が形成されている。本実施例は、ペースト材2として、Agペーストを使用した半導体装置の一例を示しており、図1に見られるように、ペースト材2の内部に複数の空隙9が設けられている。この空隙9を設けることによりペースト材2が変形し易くなり、これにより硬化時における半導体素子1の反りが緩和され、半導体素子1のクラックおよび剥離を防止することが可能となる。

【0019】この空隙9を形成する方法としては、本実施例においては下記に示す方法が採られている。ペースト材として無溶剤タイプのペースト材、例えばAgペーストなどを用いる場合には、ジャーに入っているペースト材2を、ガラス棒等による攪拌棒を用いて30秒乃至15分程度攪拌することによりペースト材2に空気を十分含ませて、その後にセラミックパッケージ3に塗布する。そして、その上に半導体素子1を載せて、ペースト材2を適切な条件（例えば、Agペーストの場合には、150°C、1.5時間、昇温レート3~30°C/分の条件下）において熱硬化させることにより、半導体素子1とセラミックパッケージ3とを接着し、且つペースト材2の内部に空隙9を形成する方法である。

【0020】次に、本発明の第2の実施例について説明する。図2は本実施例を示す縦断面図である。図2に示されるように、本実施例は、第1の実施例の場合と同様に、半導体素子1と、ペースト材2と、セラミックパッケージ3と、金属ワイヤ4と、外部リード5と、金属キ

ャップ6と、空隙9とを備えて構成されている。本実施例は、ペースト材2の一例としてAlペーストを使用した場合のセラミック半導体装置例であり、半導体素子1とセラミックパッケージ3とをペースト材2を介して接着し、金属ワイヤ4を用いて外部リード5と半導体素子1とを電気的に接続して、金属キャップ6を用いて半導体素子1をセラミックパッケージ3の内部に密閉した構造となっており、セラミックパッケージ3の向かい合う2辺に外部リード5が設けられている。そして、ペースト材2の内部には、第1の実施例の場合と同様に複数の空隙9が形成されている。この空隙9を設けることによりペースト材2が変形し易くなり、これにより硬化時における半導体素子1の反りが緩和され、半導体素子1のクラックおよび剥離を防止することができる。

【0021】本実施例に対応して、空隙9を形成する方法としては下記の方法が採られている。溶剤入りのペースト材（例えば、本実施例のようにAlペースト等）を用いる場合には、当該溶剤除去の手順を省略し、有機成分をペースト材2の内部に含有させたままの状態、適切な条件（Alペーストの場合には、約350°C、所定時間、昇温レート3~30°C/分の条件下）において熱硬化させることにより、半導体素子1とセラミックパッケージ3とを接着し、且つペースト材2の内部に空隙9を形成する方法である。ここにおいて、セラミック薄型パッケージ（半導体素子サイズ：縦×横×厚さ＝8.72mm×5.50mm×0.300mm、パッケージサイズ：縦×横×厚さ＝20.3mm×11.1mm×0.25mm、接着層厚＝20~40μm）の応力解析結果によると、接着層に空隙がない場合における残留応力が40.6kg/mm²であるのに対比して、本実施例においては、接着層に体積比55%の空隙を設けた場合における残留応力は28.4kg/mm²であり、約30%の残留応力の低減が実現されている。

【0022】以上、本発明によるセラミック半導体装置の第1および第2の実施例について、その構造ならびに製造手順の要旨について説明したが、本発明により実現される効果は、セラミックパッケージ3およびペースト材2の種類ならびに組合わせには関係なく有効である。次に、半導体素子1をペースト材2を介してセラミックパッケージ3に接着した構造を有するセラミック半導体装置全般についての本発明による効果の要点について説明する。

【0023】図3は半導体素子1とセラミックパッケージ3の接着部の部分拡大断面図である。本発明によるセラミック半導体装置においては、図3に示されるように、当該接着部には、半導体素子1とセラミックパッケージ3を接着しているペースト材2の内部に、気泡状の複数の空隙9が、ランダムな位置関係において設けられている。このように接着層に設けられている空隙に

より、半導体素子とセラミックパッケージとの間の熱膨張係数の差に起因する残留応力が緩和されるために、当該残留応力によるシリコンチップまたはパッケージのクラックが発生しない半導体装置の提供を可能にする。また、シリコンチップとセラミックパッケージとの間に生じる残留応力を緩和させる手段として、モリブデン板等の部材を使用する従来技術に比較して、本発明においては、モリブデン板等の部材を用いることを必要とせず、また、当該モリブデン板をパッケージに固着させる工程も不必要となり、これにより、従来よりも短工期、低コストにて、シリコンチップまたはセラミックパッケージのクラックを防止することのできるセラミック半導体装置を実現することができる。

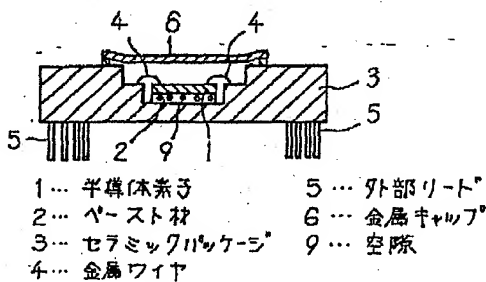
【0024】

【発明の効果】以上説明したように、本発明は、半導体素子とセラミックパッケージとの間の接着層内部に複数個の空隙を設けることにより、当該半導体素子とセラミックパッケージとの間の残留応力を緩和することが可能となり、これにより、接着硬化時における半導体素子またはセラミックパッケージのクラックの発生を防止する

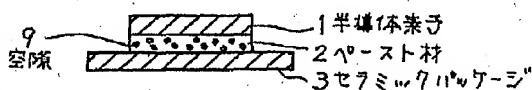
ことができるという効果がある。

【0025】また、上記のように半導体素子の接着層内部に複数個の空隙を設けることにより、残留応力が大きいと予想される大型チップ搭載半導体装置における半導体素子のクラックおよび剥離の防止、ならびに薄型パッケージを使用した半導体装置におけるパッケージクラックの防止をも可能とすることができるという効果がある。

【図1】



【図3】



【0026】そして、更に、従来例に見られるようにモリブデン板を使用することが不必要であり、これにより、モリブデン板という余分な部材の使用が排除されるとともに、当該モリブデン板をパッケージに取付ける工程も不要となり、従来例よりも短工期、低コストにて、半導体素子またはパッケージのクラックの発生しない半導体装置を実現することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す縦断面図である。

10 【図2】本発明の第2の実施例を示す縦断面図である。

【図3】本発明における半導体素子とセラミックパッケージの接着部を示す部分縦断面図である。

【図4】従来例を示す縦断面図である。

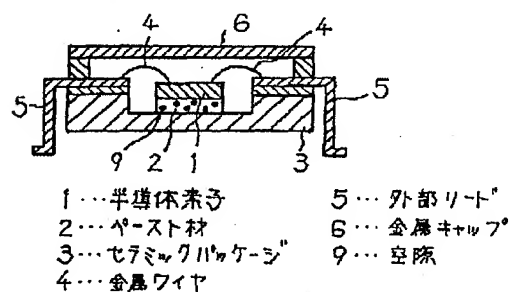
【図5】他の従来例のセラミックパッケージを示す平面図である。

【図6】ペースト材硬化時における半導体素子接着部の部分縦断面図である。

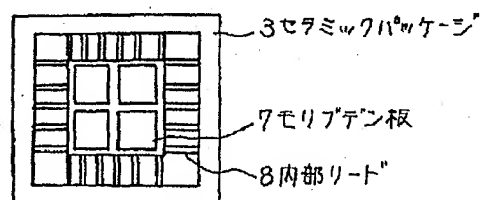
【符号の説明】

- 1 半導体素子
- 2 パースト材
- 3 セラミックパッケージ
- 4 金属ワイヤ
- 5 外部リード
- 6 金属キャップ
- 7 モリブデン板
- 8 内部リード
- 9 空隙

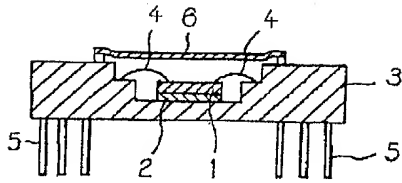
【図2】



【図5】

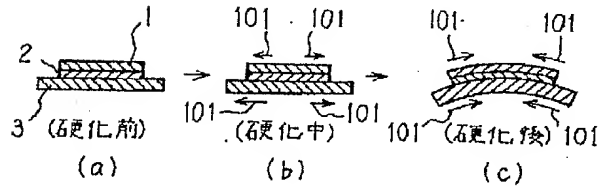


【図4】



- 1…半導体素子 4…金属ワイヤ
 2…ペースト材 5…外部リード
 3…セラミックパッケージ 6…金属キャップ

【図6】



- 1…半導体素子 3…セラミックパッケージ
 2…ペースト材